

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

H01L 21/768

H01L 21/31

## [12] 发明专利申请公开说明书

[21] 申请号 98103109.9

[43]公开日 1999 年 1 月 13 日

[11]公开号 CN 1204867A

[22]申请日 98.6.20 [21]申请号 98103109.9

[30]优先权

[32]97.6.20 [33]JP [31]164467/97

[71]申请人 日本电气株式会社

地址 日本东京都

[72]发明人 冈田纪雄

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 叶凯东 王 岳

BEST AVAILABLE COPY

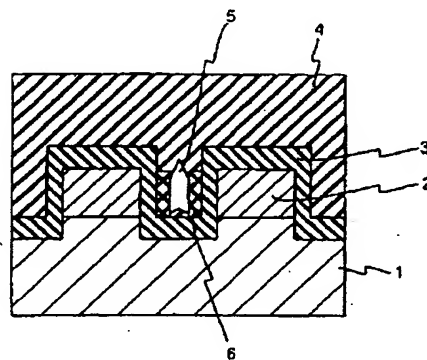
权利要求书 1 页 说明书 4 页 附图页数 7 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

本发明涉及具有在半导体衬底上形成多个布线的半导体器件。设置用于覆盖全部所述布线表面的第 1 绝缘膜,在相邻所述布线之间形成的包含空气隙的第 2 绝缘膜彼此相邻。

本发明的制造半导体器件的方法包括下列步骤,形成第 1 绝缘膜用于覆盖在半导体衬底上形成的多个布线表面,在所述衬底相邻布线之间形成包含空气隙的第 2 绝缘膜。其中利用等离子 CVD 或旋涂方法形成第 1 绝缘膜,利用等离子 CVD,旋涂,偏压 CVD,溅射或类似的方法形成第 2 绝缘膜。



(BJ)第 1456 号

★S入力済

## 权 利 要 求 书

1. 一种导体器件, 在半导体衬底上具有多个布线, 其包括:  
覆盖全部所述布线表面的第 1 绝缘膜;  
5 在相邻布线之间形成的包含空气隙的第 2 绝缘膜.
2. 按照权利要求 1 的半导体器件, 其中, 利用等离子 CVD 方法形成第 1 绝缘膜.
3. 按照权利要求 1 的半导体器件, 其中, 利用旋涂方法形成第 1 绝缘膜.
4. 一种制造半导体器件的方法, 其包括下列步骤:  
10 形成第 1 绝缘膜, 覆盖在半导体衬底上形成的全部布线的表面;  
形成在半导体衬底上相邻布线之间形成的包含空气隙的第 2 绝缘膜.
5. 按照权利要求 4 制造半导体器件的方法, 其中, 利用等离子 CVD 方法形成第 1 绝缘膜.
6. 按照权利要求 4 制造半导体器件的方法, 其中, 利用旋涂方法形成第 1  
15 绝缘膜.
7. 按照权利要求 4 制造半导体器件的方法, 其中, 利用偏压 CVD 方法形成第 2 绝缘膜.
8. 按照权利要求 4 制造半导体器件的方法, 其中, 利用等离子 CVD 方法形成第 2 绝缘膜.
- 20 9. 按照权利要求 4 制造半导体器件的方法, 其中, 利用溅射方法形成第 2 绝缘膜.
10. 按照权利要求 4 制造半导体器件的方法, 其中, 利用旋涂方法形成第 2 绝缘膜.
11. 按照权利要求 4 制造半导体器件的方法, 其中, 形成第 1 绝缘膜包括  
25 下列步骤, 利用溅射方法在半导体衬底上形成薄金属膜; 通过选择腐蚀薄金属膜形成多个布线; 利用等离子 CVD 方法形成 1000Å 厚的第 1 绝缘膜用于覆盖多个布线的表面; 而形成第 2 绝缘膜包括下列步骤, 利用偏压 CVD 方法在所述布线之间形成包含空气隙的第 2 绝缘膜; 为了把它整平抛光第 2 绝缘膜的镜面表面.

# 说明书

## 半导体器件及其制造方法

5 本发明涉及半导体器件及其制造方法,特别是涉及在高集成半导体器件中可以不增加布线间电容的半导体器件及其制造方法。

随着半导体器件进展布线进一步变细,则产生增加布线之间电容的问题。这导致于半导体器件性能的降低。在相同布线层中布线之间间隔较小意味着降低在布线之间形成的绝缘膜的介电常数,在那里不能禁止线间电容的增加。为了禁止所述的布线间电容的增加,日本专利公开 H7[1995]-114236 公开了一种  
10 技术,为了改善绝缘特性在布线之间形成空气隙。特别是,如图 6 所示,利用绝缘膜 15 在半导体衬底 14 上形成布线 16。然后由图 6 (b) 可见,利用溅射方法在布线 16 之间嵌入绝缘膜 18。类似地对应于嵌入部分的纵横比(布线 16 和其高度之比)形成空气隙 17。

15 但是,在上述的常规实例中利用溅射方法和其他方法形成间隙 17 会发生问题。也就是说,在布线 16 的侧壁上形成的绝缘膜和在其他部分上形成的绝缘膜相比不致密。这是因为利用溅射方法当把颗粒溅射在衬底时颗粒的移动有方向性,使颗粒不容易淀积在布线 16 的侧壁上。这导致于可靠性问题,特别是导致于降低耐压性能问题。而且,掩模滑动意味着在布线 16 中连接层的通路(或通孔)没有在精确位置形成布线 16 中,这可能引起布线 16 之间的短路。  
20

接着,参照图 7 详细说明现有技术所述的包括布线 16 之间的空气隙的绝缘膜 18 的缺点。

如图 7 (a) 所示,在现有技术中,利用溅射方法和偏压 CVD 方法形成包括在布线 16 之间有空气隙 17 的绝缘膜,以后,利用 CMP (化学机械抛光) 或类似的方法平整它。在那种情况存在固有问题,如果在相邻布线 16 之间的  
25 距离只是几 mm 或更小的情况下,在相邻布线 16 的各侧壁形成的绝缘膜和在布线 16 之间的距离为几十 mm 以上情况下形成的绝缘膜相比,不致密。

由图 7 (b) 可知,利用光刻工艺形成通孔 20,用作形成上层布线和层间连接。当利用光刻工艺形成下层布线 16 和通孔 20 时不能保证令人满意的掩模对准精确度。当没有在布线 16 的精确位置形成通孔 20 时这产生短路问题。  
30

如图 7 ( c ) 所示, 利用 CVD 方法形成通孔 20, 然后嵌入钨或其他金属 (化合物), CVD 气体 (例如  $WF_6$ ) 进入在空气隙内壁和布线侧壁形成的低密度绝缘膜 19, 形成不适合的绝缘膜 19a 和 19b. 不适合的绝缘膜 19a 和 19b 是短路的原因. 除此以外, 在形成通孔时, 腐蚀液体和各种类型气体 (空气隙等) 进入通孔. 这在利用 CVD 方法掩埋通孔时降低密度, 并且产生问题, 因为导致在通孔中产生空洞 21 和不适当的连接.

本发明的目的是提供具有包括空气隙绝缘膜的半导体器件, 同时提高布线和通孔的可靠性. 本发明的另一个目的是提供制造半导体器件的方法.

为了达到上述目的, 本发明具有下列特征, 在半导体衬底上具有许多布线, 设置覆盖全部所述的布线的第 1 绝缘膜; 具有包括空气隙的在相邻布线之间形成的第 2 绝缘膜.

同时, 本发明的半导体器件制造方法包括下列步骤, 形成布线, 形成第 1 绝缘膜和形成第 2 绝缘膜. 更准确地说, 形成布线的步骤第 1 和第 2 绝缘膜经过处理分别在半导体衬底上形成布线, 第 1 绝缘膜形成在布线的表面, 包括空气隙的第 2 绝缘膜在由第 1 绝缘膜覆盖的布线之间形成.

利用等离子 CVD 或旋涂方法形成第 1 绝缘膜. 选用等离子 CVD 方法而不用溅射或偏压 CVD 方法, 当在半导体衬底上淀积颗粒时它只有较低的方向性, 同时还能保证在布线的侧壁上具有合适的密度. 同样旋涂方法也是实用的. 利用偏压 CVD, 等离子 CVD, 溅射或旋涂方法形成第 2 绝缘膜.

图 1 是表示本发明实施例的半导体器件的横截面图, 图 1 ( a ) 表示布线和绝缘膜的形成, 图 1 ( b ) 表示通孔的形成;

图 2 是表示本发明实施例半导体器件制造方法工序的横截面图;

图 3 是表示本发明实施例半导体器件的制造方法工序的横截面图, 特别是表示形成通孔的横截面图;

图 4 是表示本发明实施例半导体器件制造方法工序的横截面图;

图 5 是表示本发明的半导体器件制造方法的流程图;

图 6 是表示常规半导体器件的横截面图;

图 7 是表示常规半导体器件存在问题的横截面图.

下面参照附图说明本发明的优选实施例.

实施例 1

图 1 ( a ) 和 ( b ) 是表示本发明实施例的半导体器件的横截面图。

在图 1 ( a ) 所示的本实施例的半导体器件中, 在半导体衬底 1 上形成布线 2。利用等离子 CVD 方法由第 1 绝缘膜 3 覆盖布线 2 的表面。并且该结构是这样的结构, 包括空气隙 5 的第 2 绝缘膜 4 嵌入由 1 绝缘膜 3 覆盖的布线 2 之间。利用偏压 CVD, 高密度等离子 CVD 或类似的方法形成第 2 绝缘膜 4。

在本发明的该实施例, 用第 1 绝缘膜 3 覆盖布线 2。这意味着即使形成包括空气隙 5 的第 2 绝缘膜 4 中, 形成低密度的不良绝缘膜 6 由于第 1 绝缘膜 3 也可能保证获得令人满意的绝缘性。

在图 1 ( b ) 所示的本实施例的半导体器件中, 设置具有通孔 7 的布线 2, 用第 1 绝缘膜 3 覆盖布线 2 的表面。这意味着即使在光刻时掩模滑动, 而在布线 2 上有合适的设置通孔 7 就不发生问题。换句话说, 由图 1 ( b ) 可见, 即使通孔偏移布线 2 较短距离, 由第 1 绝缘膜 3 保证合适的绝缘。这使它可能形成高可靠性的布线。

#### 实施例 2

利用图 2 和图 3 说明制造如图 1 所示的半导体器件的方法。

如图 2 ( a ) 所示, 首先利用溅射方法在半导体衬底上形成薄金属膜。选择腐蚀薄金属膜形成布线 2。

接着, 如图 2 ( b ) 所示, 利用等离子 CVD 方法在布线 2 上形成第 1 绝缘膜 3, 厚度为  $1000\text{\AA}$ 。用这种方法在布线 2 的侧壁上形成高密度的氧化膜。不言而喻, 可以根据各种条件, 例如在形成通孔 7 时形成的布线的间隔或掩模滑动的精确度, 来选择最合适的膜厚。

然后, 如图 2 ( c ) 所示, 利用偏压 CVD 方法形成包括空气隙 5 的第 2 绝缘膜 4, 并且把它嵌入布线 2 之间。以后, 利用 CMP 方法整平薄膜 4。

接着, 如图 3 ( a ) 所示, 在第 2 绝缘膜 4 中选择地开相对于布线 2 的通孔 7。

然后, 如图 3 ( b ) 所示, 利用溅射方法形成  $500\text{\AA}$  厚的 TiN 阻挡层 8, 以后, 利用覆盖式 ( blanket ) CVD 和干深腐蚀方法在通孔 7 中形成钨塞 9。在通孔 7 中也形成 TiN 阻挡层 8。

采用上述方法, 即使通孔 7 偏离布线 2 的中心, 由于形成第 1 绝缘膜 3 则仍然保持绝缘。结果能高合格率的形成插入接点 9。

不言而喻，在图 3 ( b ) 中，即使没有形成阻挡层 8 也能利用选择 CVD 方法形成高合格率的塞 9。

并且在形成第 2 绝缘膜 4 的工艺中，可能利用溅射方法（特别是偏压溅射方法）或等离子 CVD 方法形成具有所要求的空气隙的第 2 绝缘膜 4。

5 接着，利用图 4 说明制造半导体器件的方法，以便实现如图 1 所示的布线结构。

首先如图 4 ( a ) 所示，在半导体衬底 1 上选择形成布线 2。利用旋涂方法和热处理在该表面上形成厚度为 2000Å 的作为无机涂层的第 1 绝缘膜 3。根据无机材料的类型改变温度，但是温度是在 400 °C 的范围内。利用这种方法在  
10 布线 2 侧壁上形成高密度的绝缘膜 3。

接着，如图 4 ( b ) 所示，利用偏压 CVD 方法形成包括空气隙 5 的第 2 绝缘膜 4。以后，采用和实施例 2 所述相同的方法，制造稳定的布线结构。图 5 是表示本发明的制造半导体器件方法的流程图。

如上说明，由于用绝缘膜覆盖布线表面，即使形成粗糙的绝缘膜，本发明  
15 也在接着形成的包括空气隙的第 2 绝缘膜上保持合适的绝缘。

而且，由于当形成包括空气隙的绝缘膜时，可以吸收在光刻工艺中由掩模滑动引起的布线和通孔之间产生的偏差，所以增加掩模滑动的裕度。这意味着可能提高包括通孔的布线电可靠性。

在不脱离本发明的精神或基本特征的情况下，本发明可以用其他形式实  
20 施。因此本发明各实施例只是为了对各种情况进行说明而不是进行限制，由附带的权利要求表示本发明的保护范围而不是由所述的说明书表示本发明的保护范围，包含在等效权利要求含义和范围中的各种变化都包括在其中。

包括说明书，权利要求书，附图和摘要的日本专利申请 No.9-164467(1996, 6, 20 申请)的全部公开，作为参考都结合在本发明中。

# 说明书附图

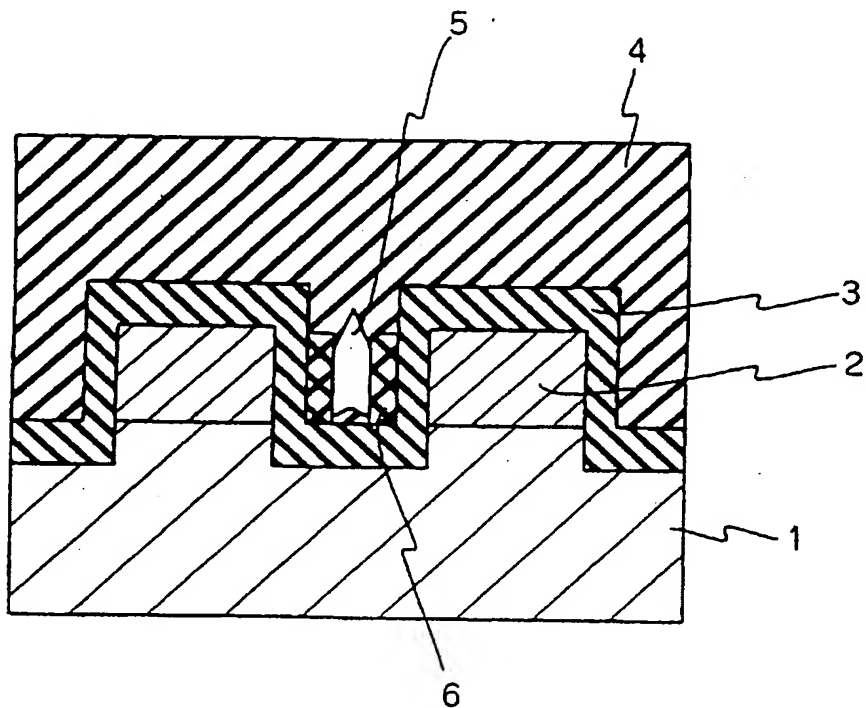


图 1(a)

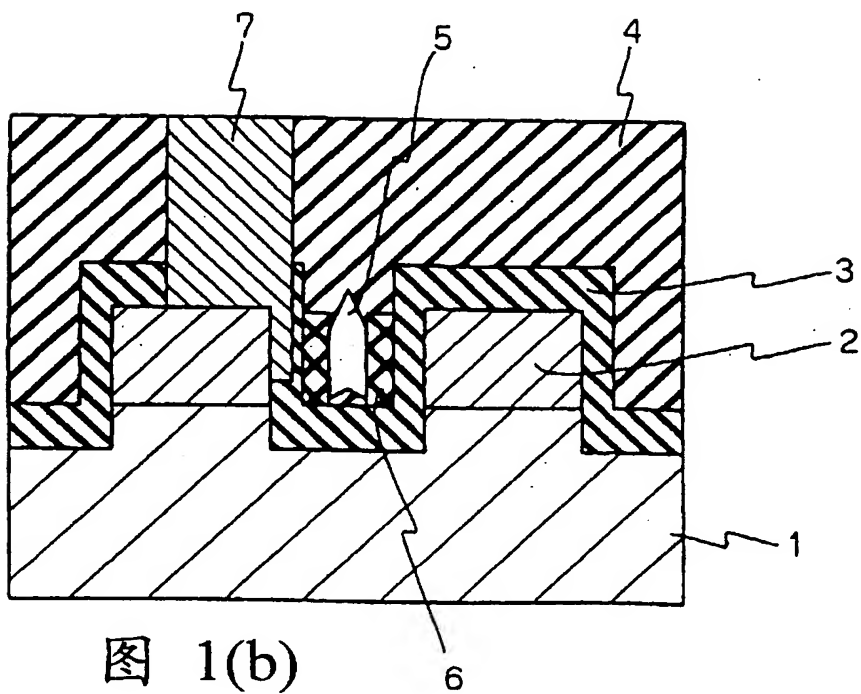


图 1(b)

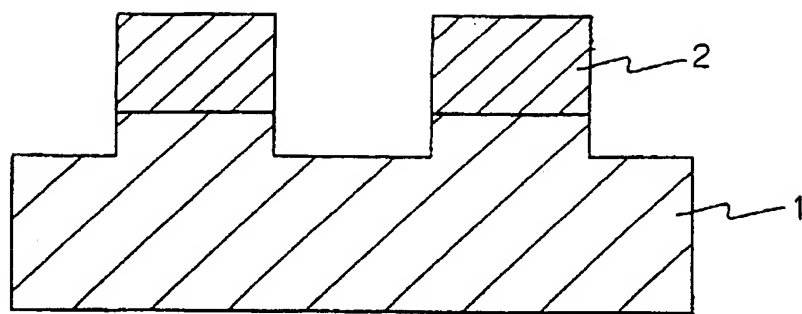


图 2(a)

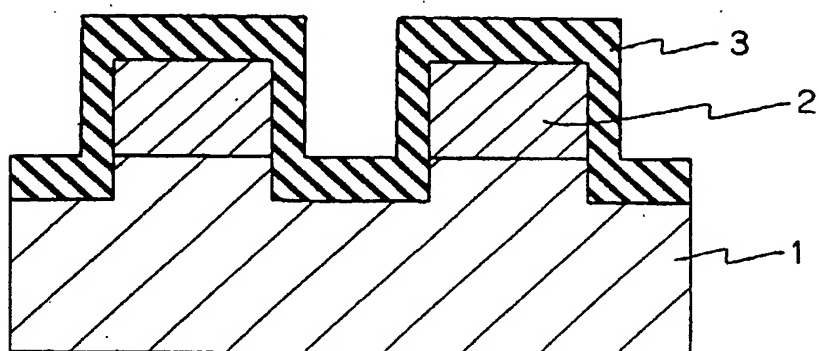


图 2(b)

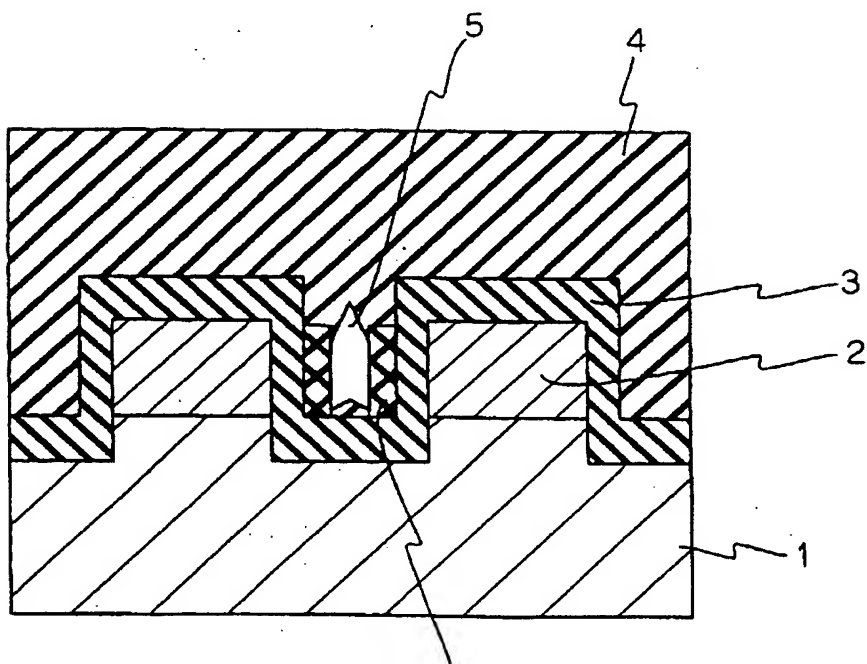


图 2(c)



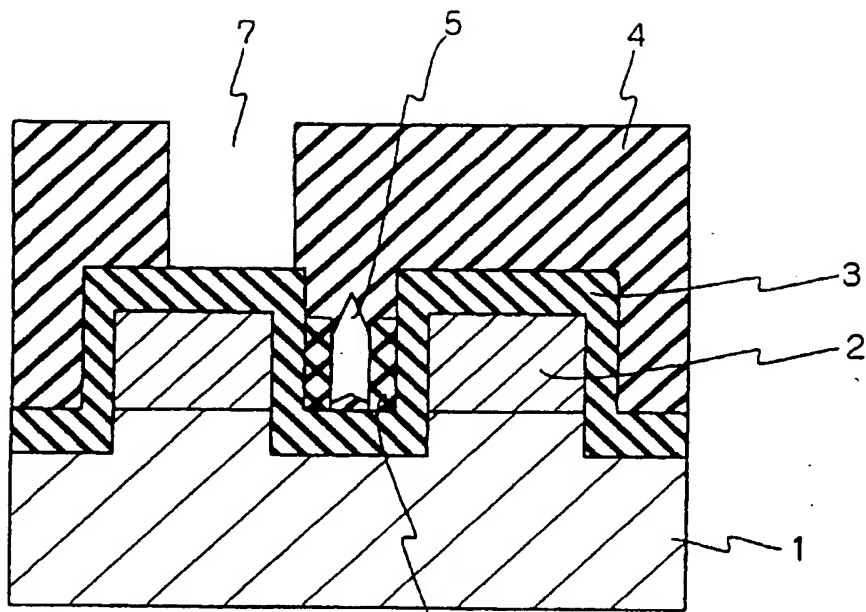


图 3(a)<sup>6</sup>

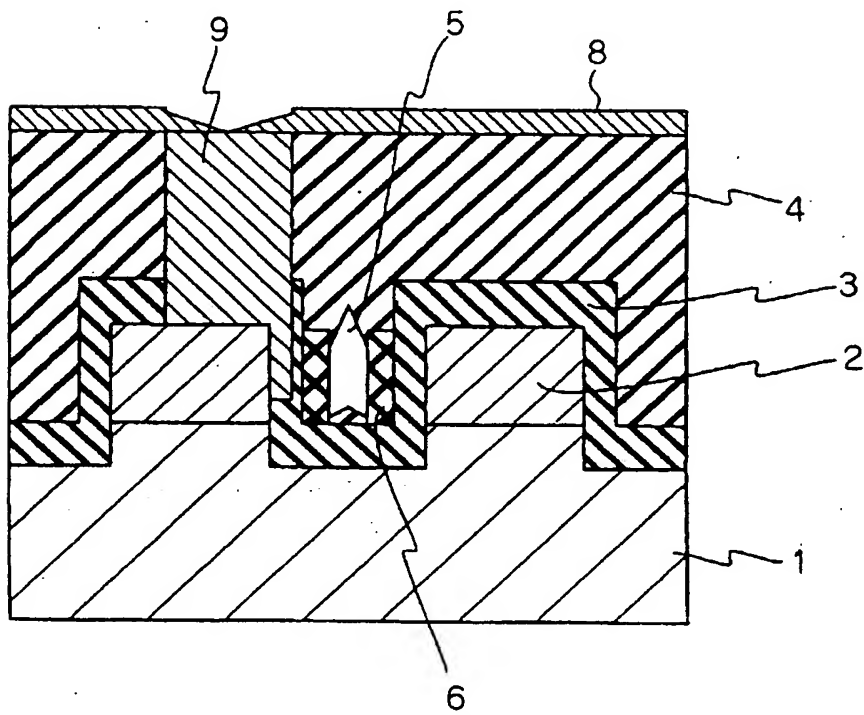


图 3(b)

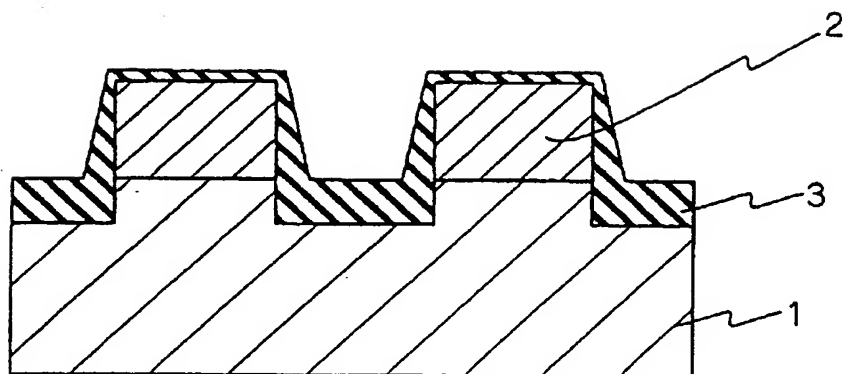


图 4(a)

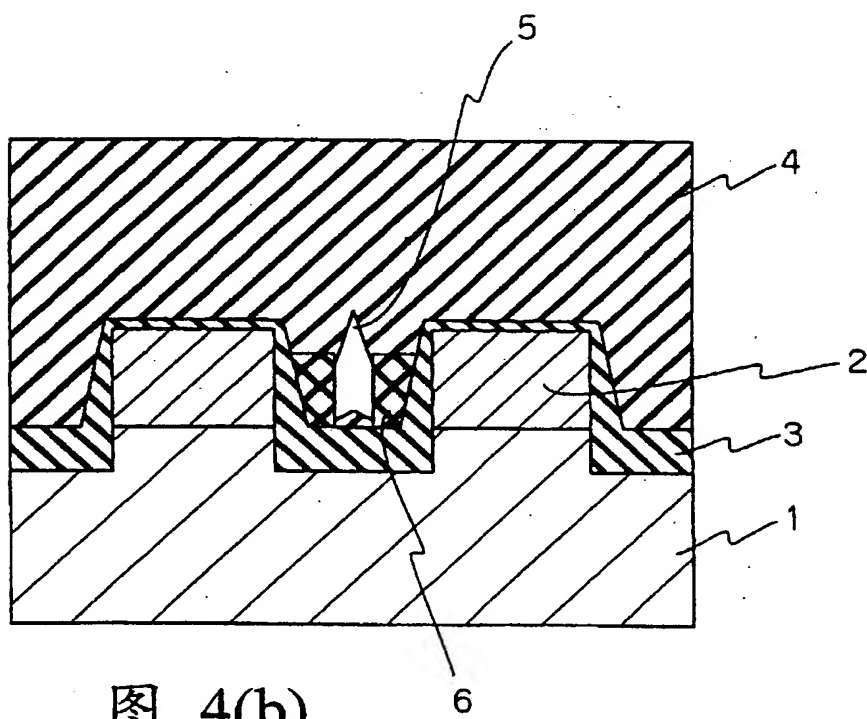


图 4(b)

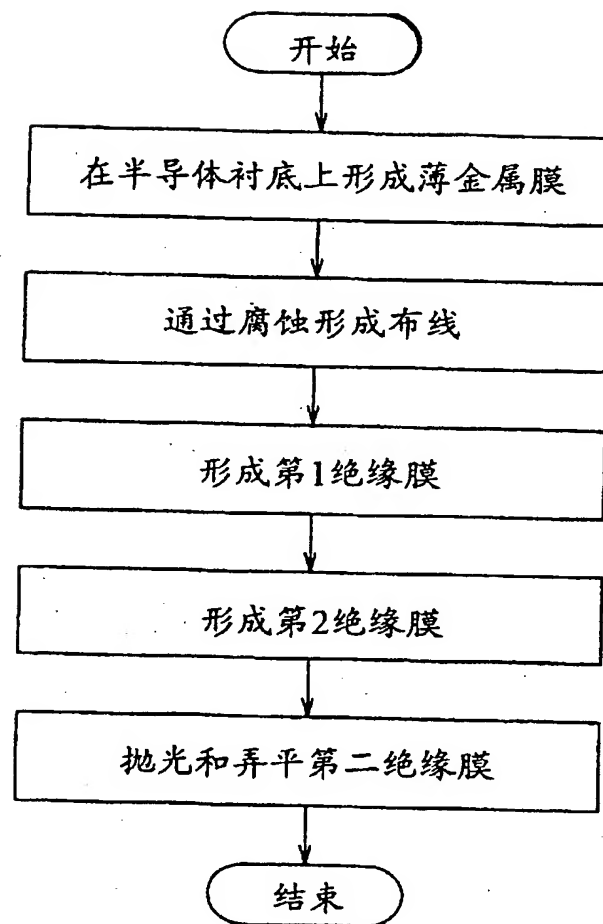


图 5

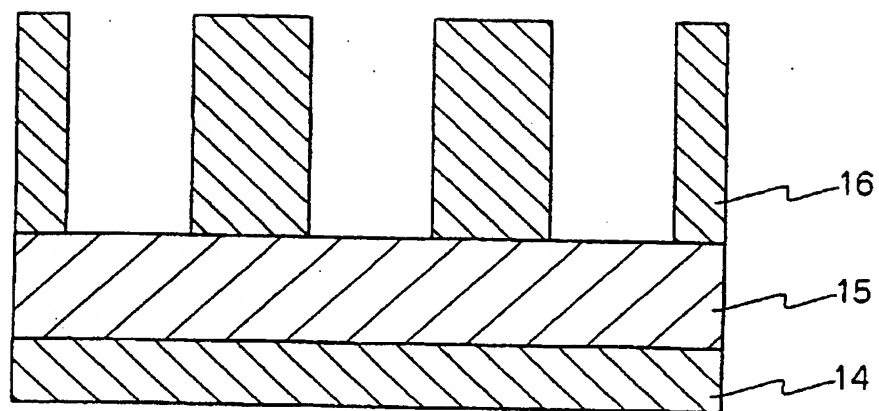


图 6(a)

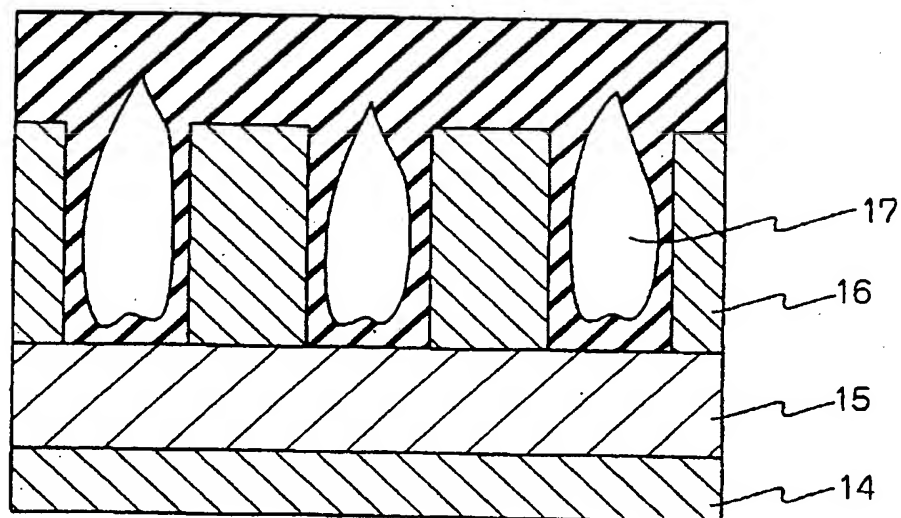


图 6(b)

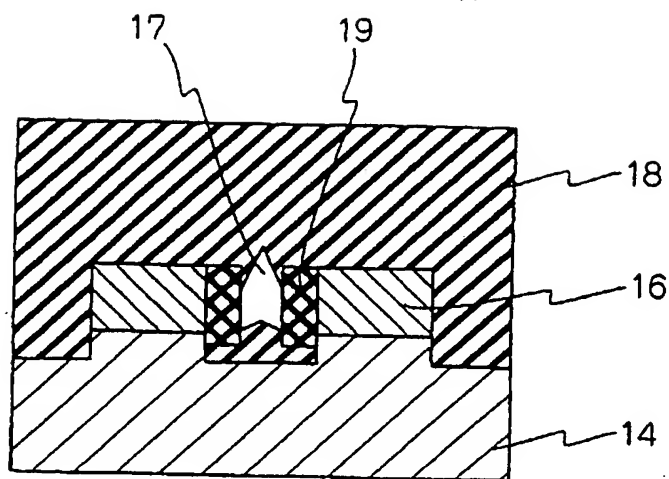


图 7(a)

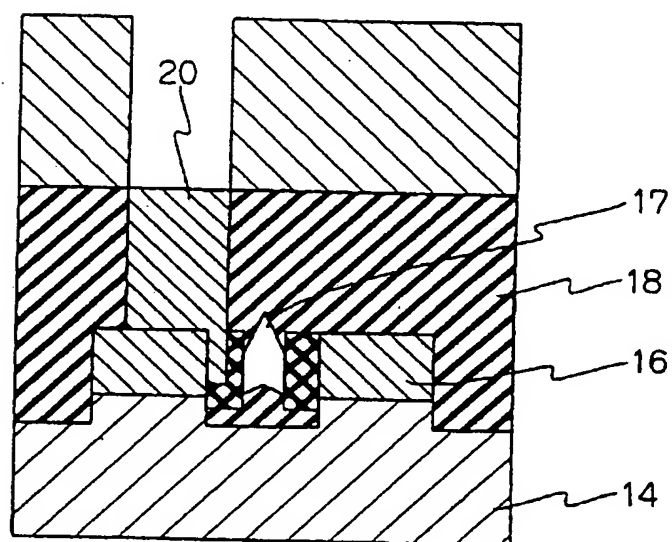


图 7(b)

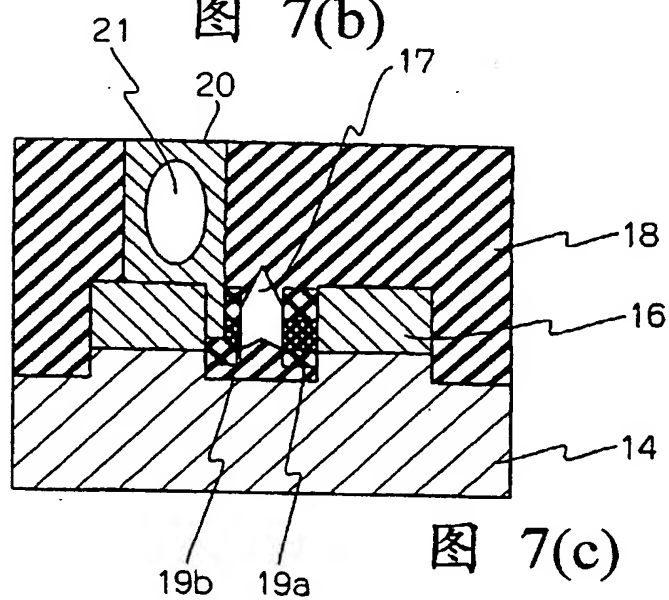


图 7(c)